

① 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭59—96759

⑤ Int. Cl.<sup>3</sup>  
H 01 L 23/48  
21/58

識別記号

庁内整理番号  
6819—5F  
6679—5F

③ 公開 昭和59年(1984)6月4日

発明の数 1  
審査請求 未請求

(全 3 頁)

④ 半導体装置

② 特 願 昭57—206515

② 出 願 昭57(1982)11月25日

⑦ 発 明 者 古森敏夫

横須賀市長坂2丁目2番1号株

式会社富士電機総合研究所内

① 出 願 人 株式会社富士電機総合研究所  
横須賀市長坂2丁目2番1号

① 出 願 人 富士電機製造株式会社  
川崎市川崎区田辺新田1番1号

④ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

1) 誘電体基板に、板の面と垂直の方向において互に重なり合うように複数個の半導体素子が配列され、素子のうち少なくとも基板に接するものはフリツブチツブ形式であることを特徴とする半導体装置。

2) 特許請求の範囲第1項記載の装置において、誘電体基板の表裏両面に素子を実装することを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は、半導体素子を高密度実装した半導体装置に関するものである。

半導体装置の組立においては、通常支持基板またはケース底面に素子を接合させるダイボンディング工程と、素子と外部端子を結ぶワイヤーボンディング工程が行われるが、これらの工程を同時に行う、いわゆるフリツブチツブ組立法も実用化されている。しかし、従来、これらの方式では基

板上に平面的に素子を実装しているにすぎず、高密度・高機能化が要求され、複数個の素子を実装する場合には実装面積が大きくなり、もうひとつの要求である小形化という面に対処するに限界があつた。

この発明は、上記欠点を除去するために、従来使用されていなかった、三次元的空間を積極的に利用しようとするものである。すなわち、その目的は、実装基板上に半導体素子を三次限的に積みかさねて面積あたりの実装密度を向上させ、高密度・小形化を実現する半導体装置を提供することにある。

次に本発明の実施例を示す。第1図、第2図はセラミックケースの場合の実施例であるが、基板に接する第1の半導体素子2をフリツブチツブ組立ができるようにパンプ6を持つ構造とし、あらかじめパンプに対応する接続パターンを形成したケース基板1に半田付けする。ついで、通常の工程で製造された第2の半導体素子3を、第1の半導体素子の上に重ねて、たとえば導電性接着剤に

て接着する。次に、必要ならば加熱し、接着を強固にする。そして通常のワイヤーボンディングで第2の半導体素子3とケース側接続端子7とを接続するが、第1の半導体素子が半田付けされていてあまり高温にできないため、超音波方式のワイヤーボンディングが望ましい。また第3図のように、第2の半導体素子8を、ビームリードもしくはテープキャリア方式の組立が行えるようにインナーリード9を具えた構造とし、ケース端子との接続はインナーリードをインパルス半田付けで行う方式も有用性が高い。このように高密度実装された素子からとり出された接続端子は、ケース外部端子へ直接導かれてもよいし、必要ならば内部で接続され、外部ピンの数を減すことも考えられる。

第4図に本発明の第3の実施例を示す。このように、誘電体基板11の両側にフリッツチップ方式で、同時に半導体素子10を2つ半田付けする。また第3図において説明した方法でさらに他の半導体素子を重ねて組立ててもよい。

使用例を説明するための正面図である。

#### 5. 符号の簡単な説明

1：セラミックケース、2：フリッツチップ形式ICチップ、3：通常のICチップ、4：接続リードワイヤー、5：導電性接着剤、6：パンプ電極、8：テープキャリア方式のチップ、9：インナーリード、10：半導体素子、11：誘電体基板、12：接続配線パターン。

第5図は、第4図の装置をひとつのユニットとして、ハイブリッドIC基板13に垂直方向に複数個配置した構成とし、あらかじめ配線パターン15を具えた支持板16を介して基体13に接続したものである。また基体13上には、チップコンデンサやその他抵抗体、トランジスタなどの部品を実装することができる。

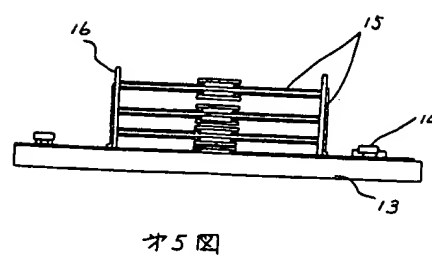
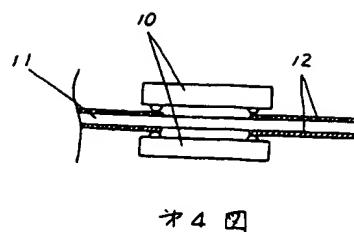
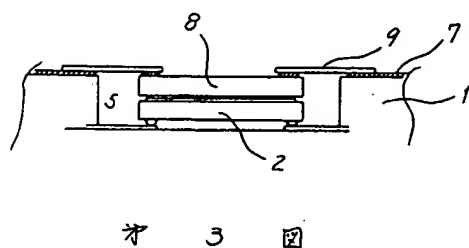
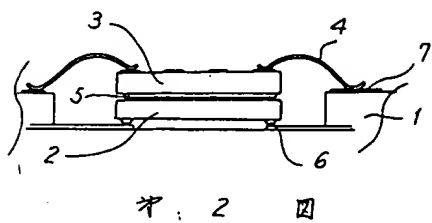
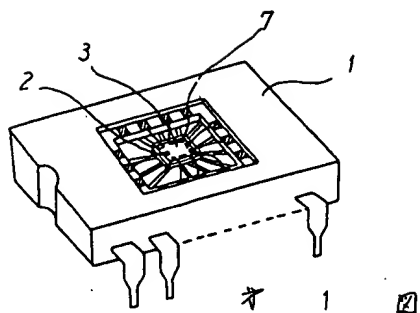
以上、本発明によれば、ひとつのケースまた小面積の誘電体基体上に最初のチップをフリッツチップ方式で取付けるため、従来使用されていなかった、最初のチップの背面を利用し、第2以降のチップを多層構造にて実装することができる。このため高集積度・高機能で、しかも小形である半導体装置を実現することができ、実装密度を向上させる上で多大の効果がある。

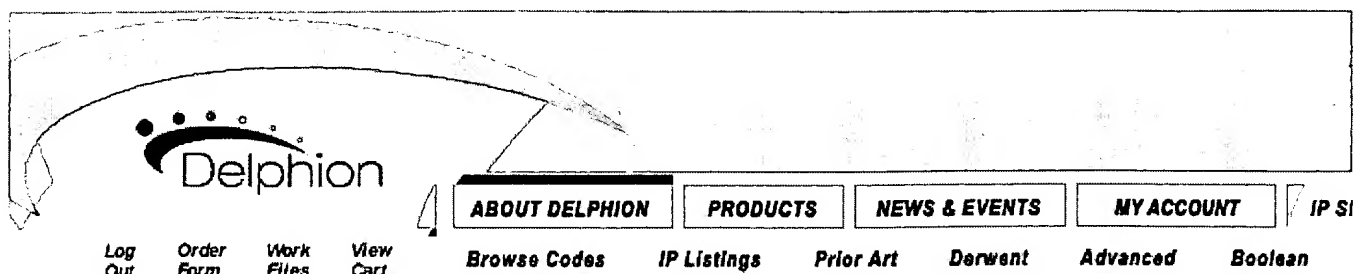
#### 4. 図面の簡単な説明

第1図は本発明一実施例の斜視図、第2図はその部分的縦断面図、第3図は本発明他の実施例の部分的縦断面図、第4図はさらに他の実施例の部分的断面図、第5図は本発明による半導体装置の

山口 昭







The Delphion  
Integrated  
View

Other Views:  
[INPADOC](#) | [Derwent...](#)

Title: **JP59096759A2: SEMICONDUCTOR DEVICE**

► [Want to see a more descriptive title highlighting what's new about this invention?](#)

Country: **JP** Japan  
Kind: **A**

Inventor(s): **KOMORI TOSHIO**

Applicant/Assignee: **FUJI ELECTRIC CORP RES & DEV LTD**



**FUJI ELECTRIC CO LTD**

[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: **June 4, 1984 / Nov. 25, 1982**

Application Number: **JP1982000206515**

IPC Class: **H01L 23/48; H01L 21/58;**

Priority Number(s): Nov. 25, 1982 **JP1982000206515**

Abstract: **Purpose:** To improve the mounting density per area by three-dimensionally stacking semiconductor elements on a mounting substrate and thus realize high performance and miniturization by mounting the first chip on a case or a dielectric substrate of a small area by flip chip system.



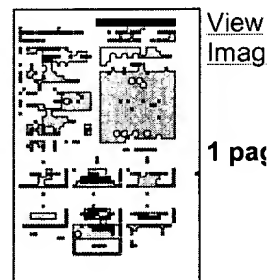
**Constitution:** The first semiconductor element 2 in contact with the substrate is formed into a structure with bumps 6 so as to perform flip chip assembly, and then soldered to the case substrate 1 whereon a connection pattern corresponding to the bumps is previously formed. Next, the second semiconductor element 3 manufactured by a normal process is superposed on the first semiconductor element and adhered by means of e.g. a conductive adhesive. Then, the adhesion is made firm by heating if necessary. The second semiconductor element 3 is connected to case side connection terminals 7 by normal wire bonding. In this case, since the first semiconductor element is soldered and can not put in a very high temperature, the wire bonding of ultrasonic system is desired.  
COPYRIGHT: (C)1984,JPO&Japio

► [See a clear and precise summary of the whole patent, in understandable terms.](#)

Family: [Show known family members](#)

Other Abstract Info: none

Foreign: No patents reference this one



References:

---



Nominate this  
for the Gallery...

---

[Subscribe](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [FAQ](#) | [Site Map](#) | [Help](#) | [Contact Us](#)

© 1997 - 2002 Delphion Inc.